

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2000年 9月18日

出願番号
Application Number:

特願2000-281164

出願人
Applicant(s):

株式会社東芝

TO 2000 TRADE ROOM

2000年10月20日

特許庁長官
Commissioner,
Patent Office

及川耕造

RECEIVED
FEB-1 2001
TECHNOLOGY CENTER 2800

出証番号 出証特2000-3085779

【書類名】 特許願

【整理番号】 12609101

【提出日】 平成12年 9月18日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/13

【発明の名称】 平面表示装置およびその製造方法

【請求項の数】 16

【発明者】

 【住所又は居所】 東京都日野市旭が丘3丁目1番地の1 株式会社東芝
 日野工場内

 【氏名】 中 村 貴 文

【発明者】

 【住所又は居所】 埼玉県深谷市幡羅町1-9-2 株式会社東芝 深谷工
 場内

 【氏名】 花 澤 康 行

【特許出願人】

 【識別番号】 000003078

 【住所又は居所】 神奈川県川崎市幸区堀川町72番地

 【氏名又は名称】 株式会社 東 芝

【代理人】

 【識別番号】 100064285

 【弁理士】

 【氏名又は名称】 佐 藤 一 雄

【選任した代理人】

 【識別番号】 100088889

 【弁理士】

 【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

 【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【先の出願に基づく優先権主張】

【出願番号】 平成11年特許願第271173号

【出願日】 平成11年 9月24日

【手数料の表示】

【予納台帳番号】 004444

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711285

【包括委任状番号】 9711282

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 平面表示装置およびその製造方法

【特許請求の範囲】

【請求項 1】

絶縁基板上に縦横に列設された信号線層および走査線層と、前記信号線層および前記走査線層の各交点にスイッチング素子を介して接続された複数の画素電極と、前記スイッチング素子と半導体配線とを介して電氣的に接続された補助容量電極と、前記補助容量電極のそれぞれに絶縁層を介して対向配置される補助容量給電線と、を含むアレイ基板を備えた平面表示装置の製造方法において、

前記半導体配線部に、レーザの強度 $R(\mu J)$ と前記配線部の体積 $V(\mu m^3)$ とが
(1) 式の関係を満たすレーザ光を照射することを特徴とする平面表示装置の製造方法。

$$0.01 \times V + 0.6 < R < 0.1 \times V + 1.5 \quad \dots (1)$$

【請求項 2】

前記レーザ光は、前記絶縁基板のスイッチング素子形成面とは逆の面方向から照射されることを特徴とする請求項 1 に記載の平面表示装置の製造方法。

【請求項 3】

前記スイッチング素子は活性層を含み、

前記活性層、前記半導体配線および前記補助容量電極は、同一工程により形成されることを特徴とする請求項 1 に記載の平面表示装置の製造方法。

【請求項 4】

前記活性層、前記半導体配線および前記補助容量電極は、多結晶シリコンを用いて形成されることを特徴とする請求項 3 に記載の平面表示装置の製造方法。

【請求項 5】

レーザ照射が欠陥画素に対して選択的に行われることを特徴とする請求項 1 に記載の平面表示装置の製造方法。

【請求項 6】

前記アレイ基板と前記アレイ基板に対向する対向基板との間に液晶層を配置することを特徴とする請求項 1 に記載の平面表示装置の製造方法。

【請求項 7】

絶縁基板上に縦横に列設された信号線および走査線と、前記信号線および前記走査線の各交点にスイッチング素子を介して接続された複数の画素電極と、前記スイッチング素子それぞれに電氣的に接続された複数の補助容量電極と、前記補助容量電極それぞれに絶縁層を介して対向配置された補助容量給電線と、を有するアレイ基板を備えた平面表示装置において、

前記補助容量電極に接続される第 1 の配線層と、

前記スイッチング素子と前記第 1 の配線層とに接続される第 2 の配線層と、

前記画素電極に接続される上部電極と前記スイッチング素子とに接続される第 3 の配線層と、を備え、

前記第 1 および第 2 の配線層は、互いに上下に異なる層に形成されることを特徴とする平面表示装置。

【請求項 8】

前記第 2 の配線層および前記補助容量給電線は、互いに上下に重ならないように形成されることを特徴とする請求項 7 に記載の平面表示装置。

【請求項 9】

前記第 1 の配線層は、前記補助容量電極と同一層に形成されることを特徴とする請求項 7 に記載の平面表示装置。

【請求項 10】

前記第 2 および第 3 の配線層は、前記上部電極と同一層に形成されることを特徴とする請求項 7 に記載の平面表示装置。

【請求項 11】

前記第 1 および第 2 の配線層の長さは略等しく設定されることを特徴とする請求項 7 に記載の平面表示装置。

【請求項 12】

前記スイッチング素子のチャネル領域、前記補助容量電極および前記第 1 の配線層は、多結晶シリコンを用いて形成されることを特徴とする請求項 7 に記載の平面表示装置。

【請求項 13】

絶縁基板上に縦横に列設された信号線および走査線と、前記信号線および前記走査線の各交点にスイッチング素子を介して接続された複数の画素電極と、前記スイッチング素子それぞれに電氣的に接続された複数の補助容量電極と、前記補助容量電極それぞれに絶縁層を介して対向配置された補助容量給電線と、を有するアレイ基板を備えた平面表示装置の製造方法において、

前記スイッチング素子と前記補助容量電極とを接続する第 1 の配線層と、前記補助容量電極とを形成する工程と、

基板上面に、第 1 の絶縁層を介して、ゲート電極および前記補助容量給電線を形成する工程と、

基板上面に、第 2 の絶縁層を介して、前記スイッチング素子と前記第 1 の配線層とに接続される第 2 の配線層と、前記画素電極に接続される上部電極と前記スイッチング素子とに接続される第 3 の配線層とを形成する工程と、

基板上面に保護膜を形成する工程と、

前記保護膜の上面に、第 3 の絶縁膜を介して前記画素電極を形成する工程と、を備えることを特徴とする平面表示装置の製造方法。

【請求項 1 4】

前記第 2 および第 3 の配線層と前記上部電極とを形成した後、前記第 3 の絶縁膜を形成する前に、前記補助容量電極および前記補助容量給電線の短絡箇所に対応する前記第 1 の配線層の所定位置に基板上方からレーザービームを照射して前記第 1 の配線層を切断する工程を備えることを特徴とする請求項 1 3 に記載の平面表示装置の製造方法。

【請求項 1 5】

前記アレイ基板の完成後に、前記アレイ基板の前記画素電極と対向基板の対向電極とを、液晶層を挟んで対向配置させて両基板を封止する工程と、

前記アレイ基板完成前に修復できなかった前記補助容量電極と前記補助容量給電線との短絡箇所に対応する前記第 1 の配線層の所定位置に、前記アレイ基板の裏面からレーザービームを照射して前記第 1 の配線層を切断する工程と、を備えることを特徴とする請求項 1 3 に記載の平面表示装置の製造方法。

【請求項 1 6】

前記第3の絶縁膜は、有機絶縁膜またはカラーフィルター層であることを特徴とする請求項13に記載の平面表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画素表示用のスイッチング素子に補助容量が接続された平面表示装置およびその製造方法に関し、例えば、アクティブマトリクス型の液晶表示装置などを対象とする。

【0002】

【従来の技術】

液晶表示装置は、高画質、薄型軽量、低消費電力という大きな利点を有するため、ノート型コンピュータや携帯電子機器などに幅広く利用されている。特に、最近では、移動度の高い多結晶シリコンによる薄膜トランジスタ（以下、TFTと呼ぶ）を画素スイッチング素子に用いた液晶表示装置の開発研究が盛んに行われている。

【0003】

図14はこの種のTFTを用いた液晶表示装置の構造を示す上面図、図15は図14のA-A線断面図である。

【0004】

以下、図14の液晶表示装置の製造方法について簡単に説明する。ガラス基板1の上面に、多結晶シリコンからなる半導体層2が形成され、この半導体層2を被覆するようにゲート絶縁膜4が形成された後、その上面に第1の配線層であるゲート電極5が形成される。

【0005】

画素表示用のTFTには、画素電極19と補助容量電極3とが接続されている。補助容量は、半導体層2により形成される補助容量電極3と、ゲート電極5と同じ層に形成される補助容量給電線6とで、ゲート絶縁膜4を挟み込んだ構造になっている。

【0006】

図 1 4 に示した T F T は、半導体層 2 の材料として多結晶シリコンを用いているため、電界効果移動度が高く、個々の T F T を小型化しても、十分な駆動能力を得ることができる。したがって、この種の T F T を用いてアクティブマトリクス型の液晶表示装置を構成すると、開口率や輝度を向上できるとともに、消費電力も減らすことができる。

【 0 0 0 7 】

また、この種の T F T は電界効果移動度が高いため、T F T の動作を制御するためのシフトレジスタ等の駆動回路を画像表示領域と同じガラス基板上に形成することも可能である。このため、T F T 駆動用の基板を別に設ける必要がなくなり、外部回路を簡略化できるとともに、製造工程の削減と製造コストの削減が可能になる。

【 0 0 0 8 】

しかしながら、図 1 4 の液晶表示装置は、補助容量電極 3 の表面性や製造途中での異物の混入等により、補助容量の容量絶縁膜（ゲート絶縁膜）4 の絶縁性が不十分となり、画素電極 1 9 と補助容量給電線 6 とが短絡する欠陥が生じて製造歩留まりが低下するという問題があった。

【 0 0 0 9 】

このような欠陥が生じると、対応する画素はある電位に固定され、常時非点灯の画素欠陥となる。また、対向電極との間に直流電圧が印加され続けるために、画素領域に対応した液晶層に含まれる液晶組成物が劣化することになり、信頼性も低下してしまう。

【 0 0 1 0 】

このような画素欠陥を修復する一手法として、短絡不良の起きた補助容量電極部分にレーザービームを照射して切断し、画素電極から電氣的に切り離す手法が提案されている。この場合、修復された画素は、信号線と画素電極との間の寄生容量の影響を受けるものの、半点灯状態に改善される。

【 0 0 1 1 】

【発明が解決しようとする課題】

しかしながら、高開口率を実現するための画素構造である配線 B M 構造では、

配線部と画素電極とが上下に重なっているため、レーザービームで配線部の一部を切断すると、そのレーザービームにより新たな短絡不良が起きるおそれがある。

【0012】

このようなおそれを回避するには、補助容量電極とスイッチング素子とを、予め切断するための配線で接続しておき、画素電極を形成する前に短絡箇所を検出して切り離す必要がある。

【0013】

ところが、アレイ基板の状態での短絡箇所の発見率は100%ではなく、アレイ基板の完成後、対向基板と張り合わせた後に新たに発見された短絡箇所に関しては、修復できないという問題があった。

【0014】

本発明は、このような点に鑑みてなされたものであり、その目的は、表示不良画素を信頼性よくリペアすることができる平面表示装置およびその製造方法を提供することにある。

【0015】

また、本発明の他の目的は、平面表示装置の完成後に、補助容量信号線および補助容量電極の短絡不良箇所をリペアすることができる平面表示装置およびその製造方法を提供することにある。

【0016】

【課題を解決するための手段】

上述した課題を解決するために、請求項1の発明は、絶縁基板上に縦横に列設された信号線層および走査線層と、前記信号線層および前記走査線層の各交点にスイッチング素子を介して接続された複数の画素電極と、前記スイッチング素子と半導体配線とを介して電氣的に接続された補助容量電極と、前記補助容量電極のそれぞれに絶縁層を介して対向配置される補助容量給電線と、を含むアレイ基板を備えた平面表示装置の製造方法において、

前記半導体配線部に、レーザーの強度 $R(\mu J)$ と前記配線部の体積 $V(\mu m^3)$ とが(1)式の関係を満たすレーザー光を照射する。

$$0.01 \times V + 0.6 < R < 0.1 \times V + 1.5 \quad \cdots (1)$$

【 0 0 1 7 】

【発明の実施の形態】

以下、本発明に係る平面表示装置およびその製造方法について、図面を参照しながら具体的に説明する。以下では、平面表示装置の一例として、液晶表示装置について説明する。

【 0 0 1 8 】

(第 1 の実施形態)

図 3 は本発明の第 1 の実施形態である液晶表示装置の第 1 の実施形態の上面図、図 4 は図 3 の A - A 線断面図、図 5 は図 3 の B - B 線断面図である。図 5 では、簡略化のため、対向基板側を省略している。

【 0 0 1 9 】

図 3 の液晶表示装置は、配線部にレーザを照射して、配線部を高抵抗化させる点に特徴がある。これにより、画素電極が補助容量給電線に短絡して欠点となった場合でも、効果的にリペアすることができる。レーザは、例えば図 3 の点線 L 1, L 2 に照射される。

【 0 0 2 0 】

図 6 は図 3 の半導体回路の製造工程を示す断面図であり、この断面図に基づいて図 3 の半導体回路の製造工程を順に説明する。

【 0 0 2 1 】

まず、ガラス基板 1 上に、例えば、プラズマ C V D 法により、膜厚 30nm ~ 100nm の非結晶シリコン層を成膜する。次に、例えば、エキシマ・レーザー・アニール法等により、非結晶シリコン層を結晶化して多結晶シリコン層を生成し、フォトリソグラフィ工程により島状にエッチング加工して T F T および接続配線部を構成する半導体層 2 を形成する。同時に、多結晶シリコン層からなる補助容量電極 3 も形成する (図 6 (a))。

【 0 0 2 2 】

次に、半導体層 2 の上面に、例えば酸化シリコン膜などを膜厚 100nm 程度成膜し、ゲート絶縁膜 4 を形成する (図 6 (b))。

【 0 0 2 3 】

次に、スパッタリング法により、第1の配線層（例えば、MoW合金層）を成膜した後、このMoW合金層をフォトリソグラフィ法によりエッチング加工してレジストの剥離を行い、ゲート電極5を形成する。同時に、補助容量給電線6も同層に形成する（図6（c））。

【0024】

次に、第1の配線層のゲート電極5をマスクとして、例えば、ボロンBの高濃度ドーピングを行う。ドーピングは、例えばイオン注入により行い、ドーズ量は $2 \times 10^{15} \sim 5 \times 10^{16} / \text{cm}^2$ 程度が最適である。このドーピングにより、ソース領域低抵抗半導体層7と、ドレイン領域低抵抗半導体層8と、ドレイン領域低抵抗半導体層8から延在される接続配線部8'とが形成される（図6（c））。

【0025】

次に、ゲート電極5とゲート絶縁膜4の上面を酸化シリコンなどで覆って層間絶縁膜9を形成する。次に、ソース領域低抵抗半導体層7とドレイン領域低抵抗半導体層8の上方に位置するゲート絶縁膜4と層間絶縁膜9の一部領域をフォトリソグラフィ法によりエッチング除去し、それぞれコンタクトホール10、11を形成する。

【0026】

また、層間絶縁膜9の上面に、第2の配線層として、スパッタリング法により、膜厚500nm程度のAl層を成膜し、フォトリソグラフィ法によりエッチング加工して、ソース電極12およびドレイン電極13を形成する。

【0027】

ソース電極12の形成材料であるAl層は、コンタクトホール10の内部に充填されてソース領域低抵抗半導体層7に接続される。同様に、コンタクトホール11の内部にもAl層が充填されてドレイン領域低抵抗半導体層8に接続される（図6（d））。

【0028】

補助容量電極3の一部はイオン注入法等により低抵抗化され、この低抵抗化された部分の上方に位置する層間絶縁膜9には、第2の配線層を埋め込むためのコンタクトホール15aが形成される。

【 0 0 2 9 】

また、接続配線部 8' の端部上方に位置する層間絶縁膜 9 にも第 2 配線層を埋め込むためのコンタクトホール 1 5 b が形成される。このコンタクトホール 1 5 a, 1 5 b には、接続配線として機能する第 2 の配線層 1 4 が埋め込まれる。

【 0 0 3 0 】

次に、第 2 の配線層 1 4 の上面には、図 5 に示すように、素子部を保護するための絶縁膜 1 6 が形成される。絶縁膜 1 6 の上面には、カラーフィルタ層 1 7 が形成され、その上面にはオーバーコート層 1 8 が形成され、さらにその上面には画素電極 1 9 が形成される。カラーフィルタ層 1 7、オーバーコート層 1 8 および画素電極 1 9 の一部にはコンタクトホールが形成され、このコンタクトホールにより、画素電極 1 9 とドレイン電極 1 3 とを接続するコンタクト 2 0 が形成される（図 3）。

【 0 0 3 1 】

次に、画素電極 1 9 の上面には、液晶分子を配向させるためのポリイミドからなる配向膜 2 1 が形成される。以上の工程により、図 4 に示すように、アレイ基板 5 0 が完成する。

【 0 0 3 2 】

このアレイ基板 5 0 は、配向膜 2 3、対向電極 2 4 およびガラス基板 1 からなる対向基板 5 1 と対向配置され、両基板間に液晶層 2 2 が挟み込まれて封止される。以上の工程により、液晶表示装置が完成する。

【 0 0 3 3 】

上述したように、補助容量を構成する補助容量電極 3 と補助容量給電線 6 との間の絶縁が不十分であったり、補助容量電極 3 と補助容量給電線 6 との間のゲート絶縁膜 4 に導電性の異物が混入したりすると、画素電極 1 9 と補助容量給電線 6 との短絡不良が起きる。

【 0 0 3 4 】

本出願人は、半導体層にて接続配線部 8' を構成し、この接続配線部 8' にそれぞれ異なる強度のレーザを照射したときに、配線部の断面形状と液晶の比抵抗値との間に相関があることを実験により確かめた。

【 0 0 3 5 】

図 7 はこの実験結果を示す図であり、横軸はレーザの照射エネルギー、縦軸は液晶の比抵抗値である。なお、図 7 は波長 532nm のレーザを放射する NTN 製 NRS-45 を用いた例を示している。

【 0 0 3 6 】

図 7 に示すように、レーザの照射エネルギーにより、第 1 期～第 4 期までの 4 段階の異なる特性が得られた。図 8 A は第 1 期の配線部の状態を模式的に示す図、図 8 B は第 2 期の配線部の状態を模式的に示す図、図 8 C は第 3 期の配線部の状態を模式的に示す図、図 8 D は第 4 期の配線部の状態を模式的に示す図である。

【 0 0 3 7 】

第 1 期は、接続配線部 8' を構成するポリシリコン層が消失・変色する状態であり、この状態では、レーザ照射位置の比抵抗値はまだ高い。

【 0 0 3 8 】

第 2 期は、レーザの照射位置の中心から周囲の層間絶縁層 9 にかけて、すり鉢状のクラックが入る状態であり、この状態では、すり鉢状のクラックは液晶層にまで達しておらず、絶縁層 9 は液晶層 2 2 に接触せず、比抵抗値もほとんど低下しない。

【 0 0 3 9 】

第 3 期は、クラックが大きくなって空洞ができる状態であり、空洞の一部が液晶層 2 2 に接触するようになるが、第 2 期より若干、抵抗値が低下するにすぎない。

【 0 0 4 0 】

第 4 期は、絶縁層 9 のほとんどが液晶中に飛散する状態であり、飛散物により液晶中の比抵抗が低下し、いわゆる表示むらが生じやすい。

【 0 0 4 1 】

本出願人は、図 8 の第 2 期から第 4 期の一部までの状態を維持するように、レーザの照射エネルギーを設定することにより、表示品質の向上を図った。

【 0 0 4 2 】

また、本出願人は、図 9 に示すように、レーザにより消失する配線部の体積（横軸）と、表示特性の回復が可能な抵抗値を示すレーザエネルギー（縦軸）に相関があることを発見した。

【 0 0 4 3 】

図 9 に示すように、配線部の体積がわかれば、高抵抗化が可能なレーザの照射エネルギーを求めることができ、逆に、レーザの照射エネルギーが予め定まっている場合には、配線部の体積をレーザの照射エネルギーに応じた値に設定することにより、配線部を高抵抗化することができる。

【 0 0 4 4 】

本出願人は、図 8 および図 9 の両方の特性を考慮に入れて、以下の条件で実験を行った。まず、図 8 の第 2 期に相当するレーザエネルギーを図 3 の点線部 L 1 または L 2 に照射して、比抵抗を低下させないような構造にする。次に、図 9 を参考にして、レーザエネルギーが（1）式を満たすように設定して、配線の高抵抗化を実現する。

$$0.01 \times V + 0.6 < R < 0.1 \times V + 1.5 \quad \cdots (1)$$

【 0 0 4 5 】

図 9 によれば、第 2 期を実現するレーザエネルギーは $0.8 \mu\text{J}$ である。そこで、多結晶シリコンからなる配線部の幅を 500 オングストローム、配線面積を $6 \mu\text{m} \times 3 \mu\text{m}$ にした。この結果、補助容量電極 3 と補助容量給電線 6 とが短絡した液晶表示装置では、配線部を液晶中に飛散させることなく高抵抗化させることが可能になり、信頼性の高い製造プロセスが得られた。

【 0 0 4 6 】

（第 2 の実施形態）

図 1 0 は本発明の第 2 の実施形態である液晶表示装置の平面図、図 1 1 は図 1 0 の A-B-C 線断面図である。本実施形態の液晶表示装置は、縦横に列設された信号線 6 1 および走査線 6 2 を有する。各信号線 6 1 は、層間絶縁膜 6 3 を介して、走査線 6 2 および補助容量給電線 6 4 に対して直交するように配置されている。補助容量給電線 6 4 は、走査線 6 2 と同一の層に形成されるとともに、走査線 6 2 に対して平行に形成されている。信号線 6 1 および補助容量給電線 6 4 によ

り区画された領域は、一画素領域に相当する。

【 0 0 4 7 】

補助容量給電線 6 4 の一部は、ゲート絶縁膜 6 5 を介して、ポリシリコン膜により形成された補助容量電極 6 6 に対向配置され、補助容量給電線 6 4 と補助容量電極 6 6 との間で補助容量素子を形成している。

【 0 0 4 8 】

画素電極 6 7 は、信号線 6 1 および補助容量給電線 6 4 の上方に、その周縁部を重ねるように配置されている。スイッチング素子として機能する画素 T F T 6 8 (Thin Film Transistor) は、信号線 6 1 と走査線 6 2 の各交点近傍に配置されている。

【 0 0 4 9 】

画素 T F T 6 8 は、ポリシリコン膜により形成されたドレイン電極 6 9 およびソース電極 7 0 と、ゲート絶縁膜 6 5 を介して形成された走査線 6 2 の一部領域からなるゲート電極 7 1 とを有する。ドレイン電極 6 9 は、コンタクトホール 7 2 を介して信号線 6 1 に電氣的に接続されている。

【 0 0 5 0 】

本実施形態は、補助容量電極 6 6 に接続される第 1 の配線層 7 3 と、画素 T F T 6 8 のソース電極と第 1 の配線層 7 3 とに接続される第 2 の配線層 7 4 と、補助容量素子の上部電極 7 5 と画素 T F T のソース電極 7 0 とに接続される第 3 の配線層 7 6 とを設け、第 1 および第 2 の配線層 7 3, 7 4 を互いに上下に異なる層に形成する点に特徴がある。

【 0 0 5 1 】

より具体的には、画素 T F T 6 8 のソース電極 7 0 は、コンタクトホール 7 7 と第 3 の配線層 7 6 を介して、補助容量素子の上部電極 7 5 に接続されている。補助容量電極 6 6 は、第 1 の配線層 7 3 とコンタクトホール 7 8 を介して第 2 の配線層 7 4 に接続され、この第 2 の配線層 7 4 は画素 T F T 6 8 のソース電極 7 0 に接続されている。

【 0 0 5 2 】

第 1 の配線層 7 3 は、補助容量電極 6 6 と同一層に形成される。第 2 および第

3の配線層74, 76は、補助容量電極66の上部電極75と同一層に形成される。

【0053】

第1の配線層73の少なくとも一部と第2の配線層74の少なくとも一部は、補助容量給電線64と補助容量電極66に上下に重ならないように配置される。望ましくは、図12に示すように、第1の配線層73の長さと第2の配線層74の長さは略等しく設定される。これにより、第1または第2の配線層73, 74のどちらにレーザビームを照射しても、その配線層を確実に切断することができる。

【0054】

また、第1の配線層73と、第2および第3の配線層74, 76とは、それぞれ異なる材料で形成され、第1の配線層73は最下層の配線層（例えば、ポリシリコン層）であり、第2および第3の配線層74, 76は最上層の配線層（例えば、Ta等）である。

【0055】

本実施形態では、アレイ基板100の状態、すなわち対向基板101と張り合わせてセルを形成する前の状態で補助容量電極66と補助容量給電線64との短絡箇所が検出された場合には、図11の矢印y1で示すように、アレイ基板100の上方からレーザビームを照射して第2の配線層74を切断する。一方、セル形成後は、図11の矢印y2で示すように、アレイ基板100の下方からレーザビームを照射して第1の配線層73を切断する。

【0056】

図13は画素TF T 68の周辺の等価回路図である。図13の「×」で示す位置が切断される。

【0057】

従来の液晶表示装置は、第1の配線層73を備えていなかったため、アレイ基板100の完成前に補助容量電極66と補助容量給電線64の短絡箇所を検出できなかった場合には、液晶セル完成後に短絡が検出されても、そのリペアを行えなかった。その理由は、画素TF T 68のソース電極77と補助容量電極66と

を接続する第2の配線層74は、画素電極67の近くに形成されているため、基板の裏面側からレーザービームを照射すると、画素電極67がレーザービームの影響を受けるおそれがあるためである。また、第2の配線層74とガラス基板60との間には層間絶縁膜63が配置されているため、レーザービームを第2の配線層74の所望の位置に照射するのが困難であった。

【0058】

図14は、第1の配線層73を設けずに第2の配線層74により補助容量電極66と画素TFT68とを接続する従来例の平面図である。図14の場合、補助容量電極66と補助容量給電線64との短絡不良が起きると、レーザービームにより第2の配線層74を切断する必要があるが、第2の配線層74は上部電極75と同一層に形成されるため、画素電極67がレーザービームの影響を受けるおそれがあるとともに、層間絶縁膜63があるためにレーザービームを精度よく第2の配線層74に照射できないという問題がある。

【0059】

一方、本実施形態の場合、基板の裏面側から第1の配線層73にレーザービームを照射することにより、画素電極67に影響を与えることなく第2の配線層74を切断できる。すなわち、図11に示すように第1の配線層73の上面には絶縁膜63が形成されているため、矢印y2に示すように基板の裏面側から第2の配線層74にレーザービームを照射しても、このレーザービームが画素電極67に届くことはない。また、第1の配線層73はガラス基板60に密接して形成されるため、レーザービームを確実に第1の配線層73に照射できる。したがって、リペアの精度を高めることができ、信頼性の高い液晶表示装置が得られる。

【0060】

図15は本実施形態の液晶表示装置の製造工程を示す断面図である。以下、図15に基づいて、本実施形態の液晶表示装置の製造工程を説明する。まず、高歪点ガラス基板や石英基板などの透光性絶縁性基板上に、CVD法などによりアモルファスシリコン膜を50nm程度被着する(図15(a))。

【0061】

次に、450℃で1時間程度、炉アニールを行った後、XeClエキシマレーザを照

射し、アモルファスシリコンを多結晶化する。次に、多結晶シリコンをフォトリソ法によりパターンニングし、表示領域内の画素TFT68のチャンネル層と駆動回路領域のTFT（回路TFT）のチャンネル層となるポリシリコン膜を形成するとともに、補助容量を形成するための補助容量電極66と、補助容量電極66に接続される第1の配線層73とを形成する（図15（b））。

【0062】

次に、CVD法により、絶縁基板の全面に、ゲート絶縁膜65となる SiO_x 膜を100nm程度被着した後、 SiO_x 膜の上面全体に、Ta、Cr、Al、Mo、W、Cuなどの単体金属、これら金属の積層膜または合金膜を400nm程度被着し、フォトリソ法により所定の形状にパターンニングする（図15（c））。この結果、走査線62、補助容量給電線64、画素TFT68のゲート電極71、回路TFTのゲート電極71、および駆動回路領域内の各種配線が形成される。

【0063】

次に、ゲート電極71をマスクとして、イオン注入やイオンドーピング法により不純物の注入を行い、画素TFT68のドレイン電極69およびソース電極70と、Nch型回路TFT85のソース電極70およびドレイン電極69を形成する。不純物の注入は、例えば加速電圧80keVで $5 \times 10^{15} \text{ atoms/cm}^2$ のドーズ量で、 PH_3/H_2 によりリンを高濃度注入する。

【0064】

次に、画素TFT68と駆動回路領域のNch型回路TFT85に不純物が注入されないように、これらTFTをレジストで被覆した後、Pch型回路TFT86のゲート電極71をマスクとして、加速電圧80keVで $5 \times 10^{15} \text{ atoms/cm}^2$ のドーズ量で $\text{B}_2\text{H}_6/\text{H}_2$ によりボロンを高濃度注入し、Pch型回路TFT86のソース電極70とドレイン電極69とを形成する。

【0065】

次に、Nch型LDD（Lightly Doped Drain）を形成するための不純物注入を行い、基板をアニールすることにより不純物を活性化する。次に、例えばPECVD法を用いて絶縁基板の全面に SiO_2 からなる膜63を500nm程度被着する。

【0066】

次に、フォトエッチング法により、画素TFT68のドレイン電極69に至るコンタクトホール72と、ソース電極70に至るコンタクトホール77と、第1の配線層73に至るコンタクトホール78と、回路TFTのソース電極70およびドレイン電極69に至るコンタクトホール79、80とを形成する（図15（d））。

【0067】

次に、Ta、Cr、Al、Mo、W、Cuなどの単体金属、これら金属の積層膜または合金膜を500nm程度被着し、フォトエッチング法により所定の形状にパターンニングし、信号線61、画素TFT68のドレイン電極69と信号線61の接続領域81、ソース電極70と第1の配線層73とを接続する第2の配線層74、補助容量素子の上部電極75、および駆動回路領域内の回路TFTの各種配線領域等を形成する（図15（d））。

【0068】

次に、PECVD法により、絶縁基板の全面に、SiNxからなる保護絶縁膜82を成膜し、フォトエッチング法により補助容量素子の上部電極75に至るコンタクトホール83を形成する（図15（e））。

【0069】

次に、有機絶縁膜84を全面に2 μ mほど塗布し、補助容量素子の上部電極75に至るコンタクトホール83を形成する。

【0070】

最後に、ITOをスパッタ法により100nm程度成膜し、フォトエッチング法により所定の形状にパターンニングして、画素電極67を形成する。画素電極67を上部電極75に接続させることで、図11に示すアレイ基板100が完成する。

【0071】

一方、透明性絶縁基板として例えばガラス基板90上に、顔料などを分散させた着色層91を形成し、その上面にスパッタ法により例えばITOからなる透明性電極である対向電極92を形成することにより、対向基板101が得られる。

【0072】

次に、アレイ基板 1 0 0 の画素電極 6 7 形成面側全面と対向基板 1 0 1 の対向電極形成面側全面に、低温キュア型のポリイミドからなる配向膜 9 3, 9 4 を印刷塗布し、両基板を対向させたときに配向軸が 90° となるようにラビング処理をする。その後、両基板を対向させて組み立ててセル化し、両基板の間にネマティック液晶を注入して封止する。そして、両基板の絶縁基板側に偏光板を貼り付けることにより、液晶表示装置が得られる。

【 0 0 7 3 】

このようにして出来上がった液晶表示装置は、第 1 および第 2 の配線層 7 3, 7 4 を介して画素 T F T 6 8 のソース電極 7 0 と補助容量電極 6 6 とを電氣的に接続するため、アレイ基板 1 0 0 の完成時には修復できなかった補助容量電極 6 6 および補助容量給電線 6 4 の短絡箇所を、セル完成後にアレイ基板 1 0 0 の裏面からレーザビームを照射しての配線層 7 3 を切断すること、補助容量電極 6 6 と画素電極 6 7 とを電氣的に切り離すことができる。このため、セル完成後でも、補助容量電極 6 6 と補助容量給電線 6 4 との短絡不良をリペアすることができる。

【 0 0 7 4 】

上述した第 2 の実施形態では、画素 T F T 6 8 のチャネル領域等の半導体層をポリシリコンで形成したアクティブマトリクス型液晶表示装置について説明したが、ポリシリコン以外の材料を用いて半導体層を形成してもよい。

【 0 0 7 5 】

上述した各実施形態では、本発明を液晶表示装置の製造方法に適用した例について説明したが、本発明は、液晶表示装置以外の各種の平面表示装置、例えば、E L (electroluminescence) 表示装置などにも適用可能である。

【 0 0 7 6 】

【発明の効果】

以上詳細に説明したように、本発明によれば、スイッチング素子と補助容量電極との接続経路として、第 1 および第 2 の配線層を設けるため、アレイ基板の完成時に補助容量電極と補助容量給電線との短絡不良が見つかった場合には、基板の上方から第 2 の配線層にレーザビームを照射して同配線層を切断し、平面表示

装置の完成後に補助容量電極と補助容量給電線との短絡不良が見つかった場合には、基板の裏面側から第 1 の配線層にレーザービームを照射して同配線層を切断することができる。

【図面の簡単な説明】

【図 1】

従来の T F T を用いた液晶表示装置の構造を示す上面図。

【図 2】

図 1 の A - A 線断面図。

【図 3】

本発明に係る平面表示装置の製造方法の一実施形態の上面図。

【図 4】

図 1 の A - A 線断面図。

【図 5】

図 1 の B - B 線断面図。

【図 6】

図 1 の半導体回路の製造工程を示す断面図。

【図 7】

横軸がレーザーの照射エネルギー、縦軸が液晶の比抵抗値を示す図。

【図 8】

第 1 ～第 4 期の配線部の状態を模式的に示す図。

【図 9】

レーザーにより消失する配線部の体積（横軸）と、表示特性の回復が可能な抵抗値を示すレーザーエネルギー（縦軸）との関係を示す図。

【図 1 0】

本発明の第 2 の実施形態である液晶表示装置の平面図。

【図 1 1】

図 1 0 の A-B-C 線断面図。

【図 1 2】

図 1 0 を拡大した図。

【図 1 3】

画素 T F T 周辺の等価回路図。

【図 1 4】

第 1 の配線層を設けずに第 2 の配線層により補助容量電極と画素 T F T とを接続する従来例の平面図。

【図 1 5】

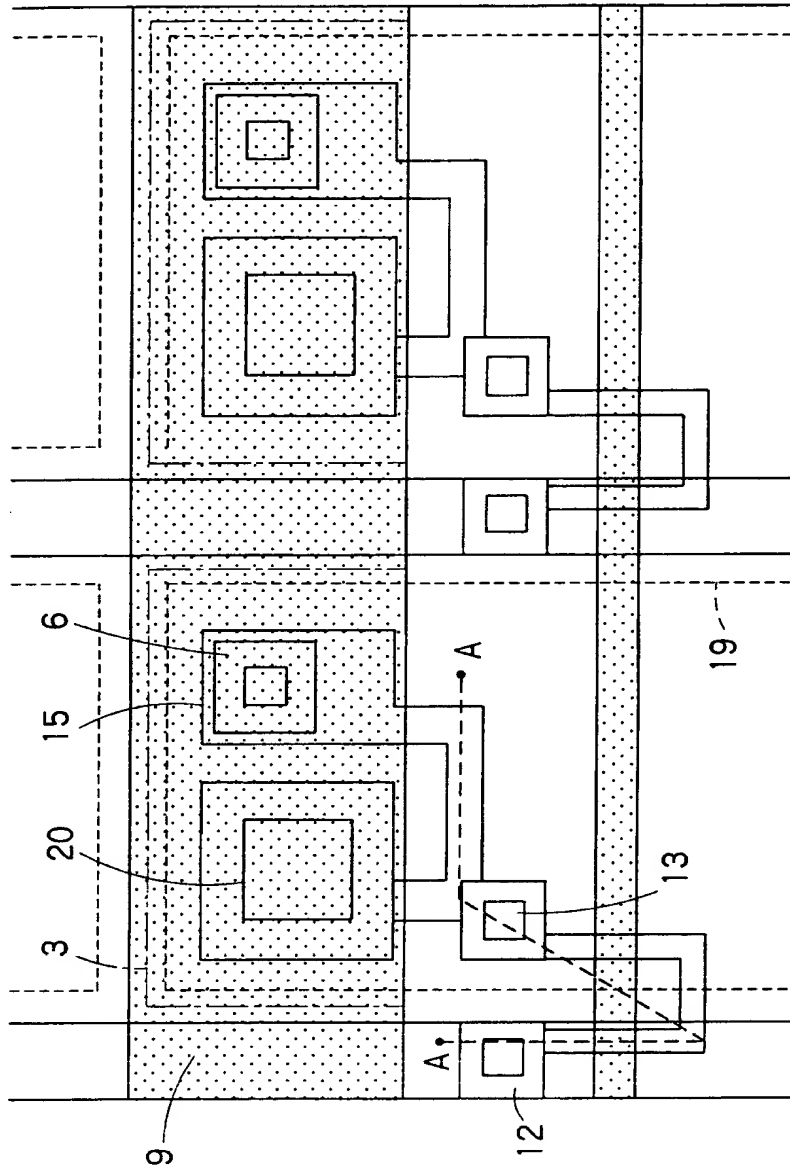
本実施形態の液晶表示装置の製造工程を示す断面図。

【符号の説明】

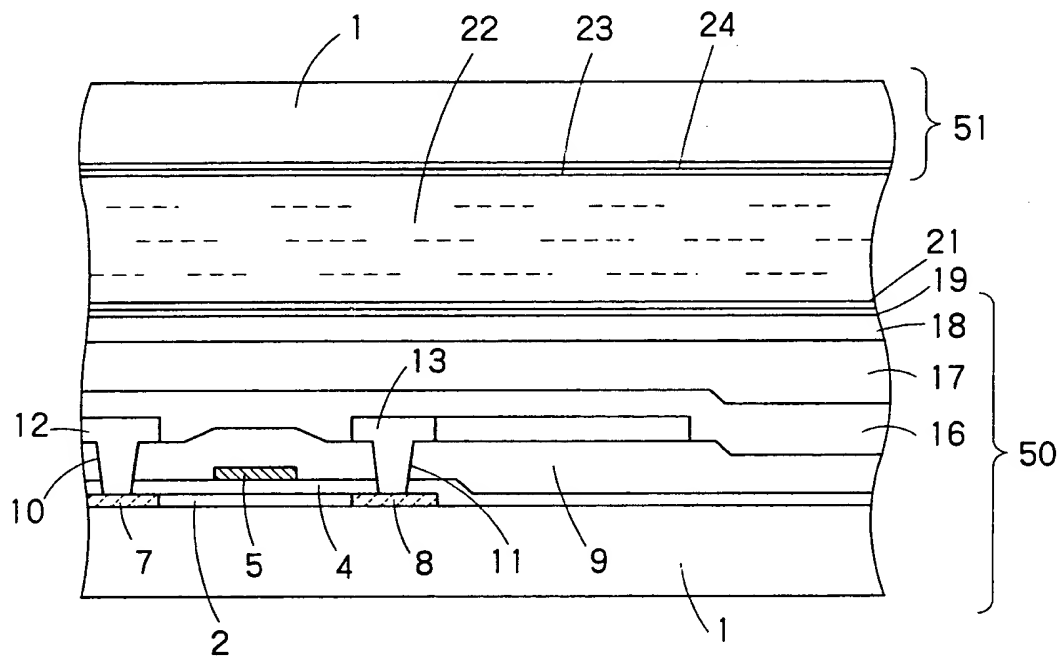
- 1 ガラス基板
- 2 半導体層
- 3 補助容量電極
- 4 ゲート絶縁膜
- 5 ゲート電極
- 6 補助容量給電線
- 7 ソース領域低抵抗半導体層
- 8 ドレイン領域低抵抗半導体層
- 9 層間絶縁膜
- 10, 11 コンタクトホール
- 12 ソース電極
- 13 ドレイン電極
- 13 ドレイン電極

【書類名】 図面

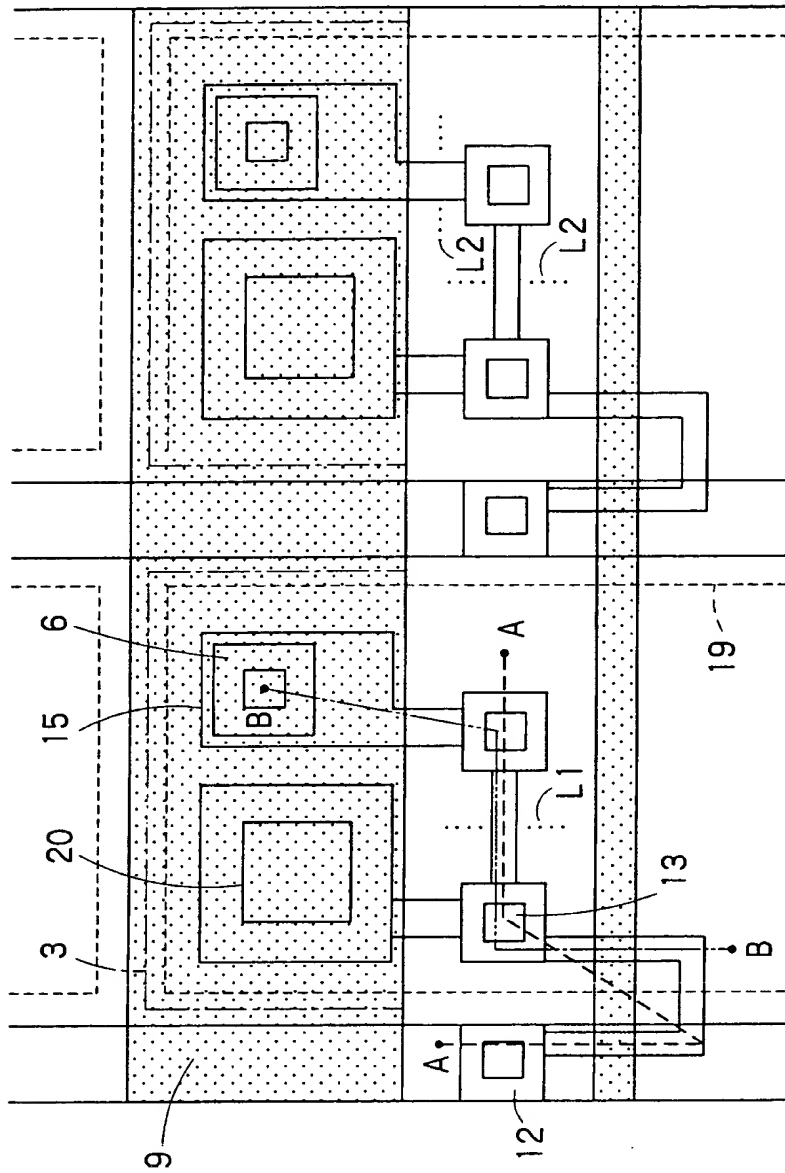
【図 1】



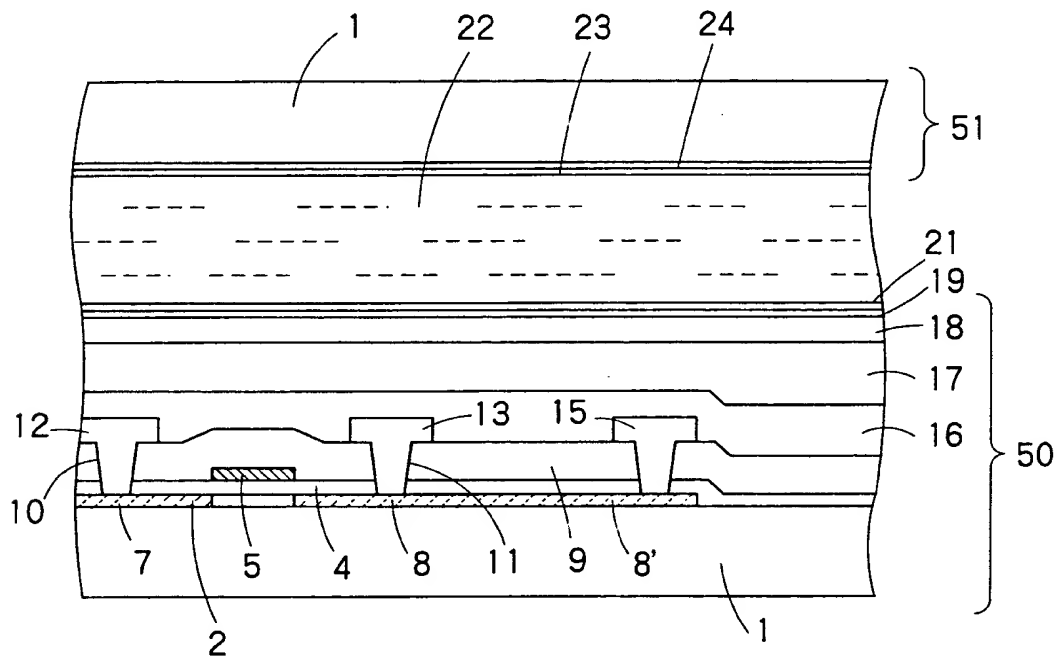
【図 2】



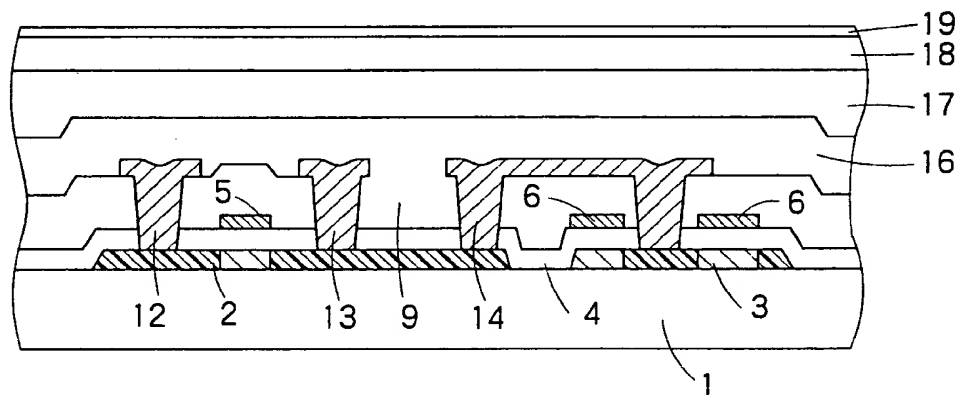
【図 3】



【図 4】

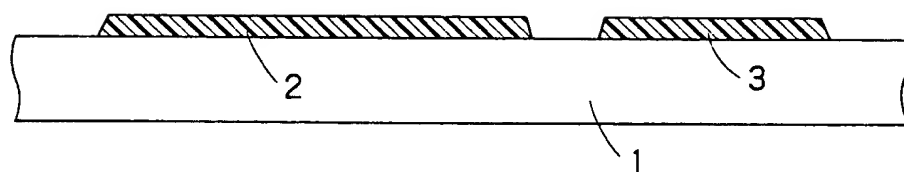


【図 5】

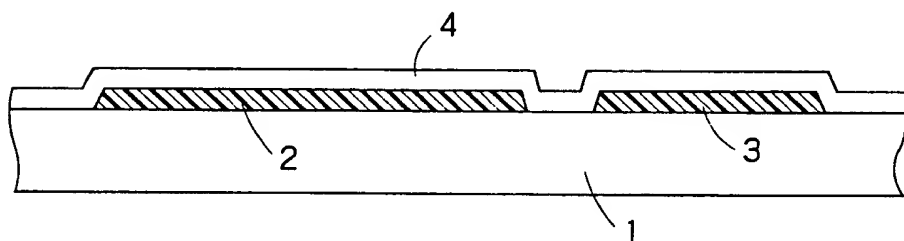


【図 6】

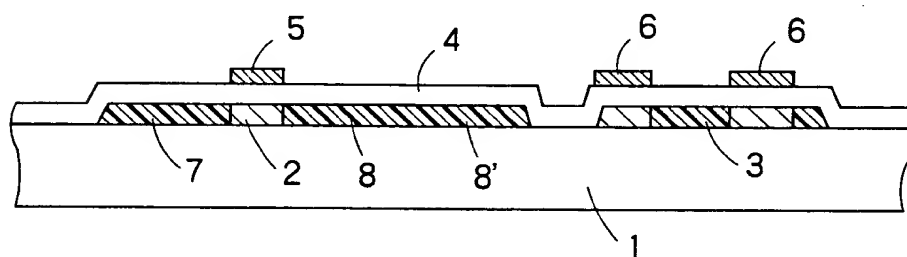
(a)



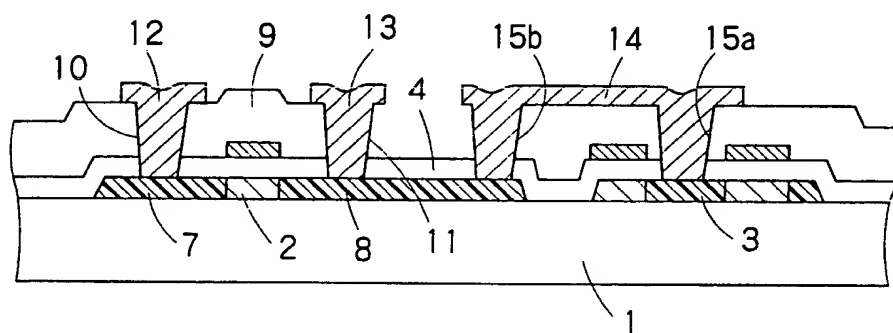
(b)



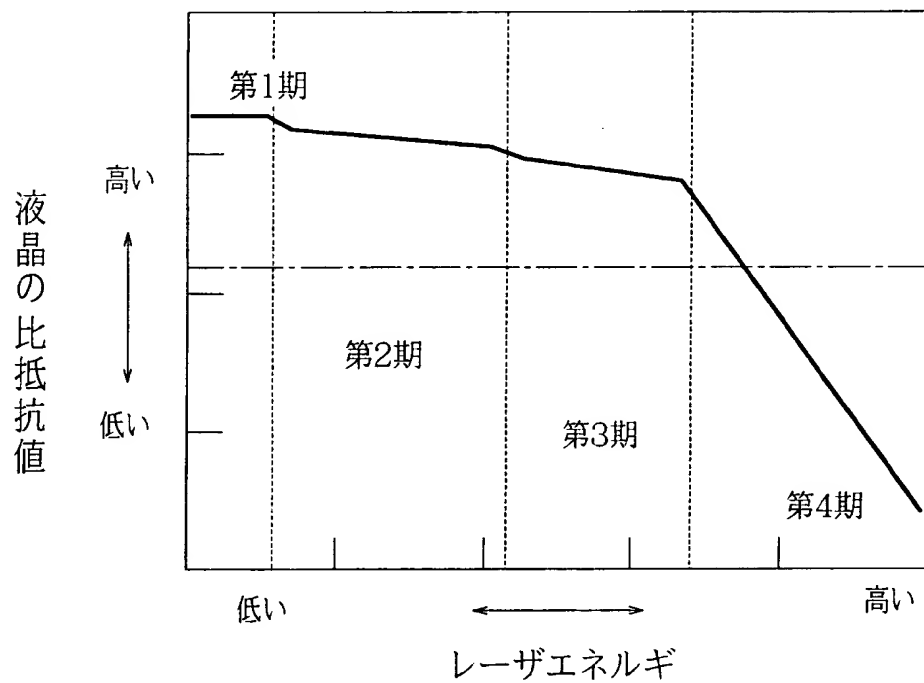
(c)



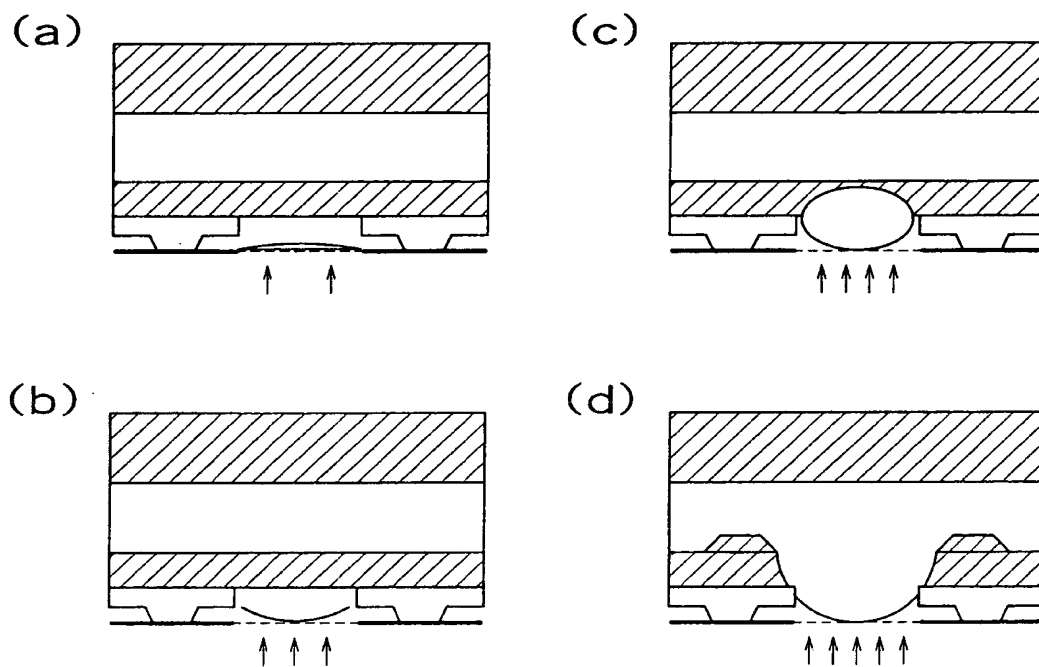
(d)



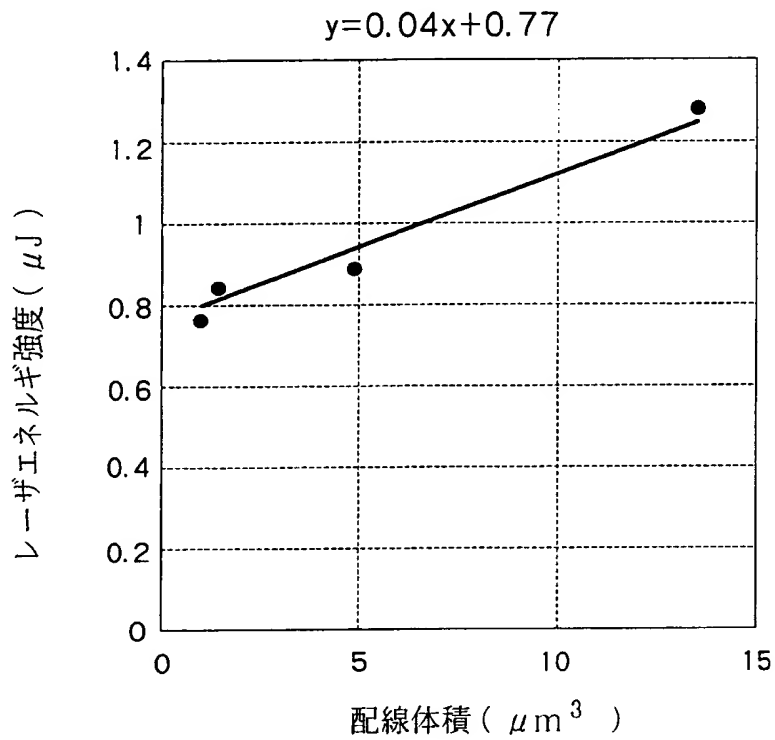
【図 7】



【図 8】

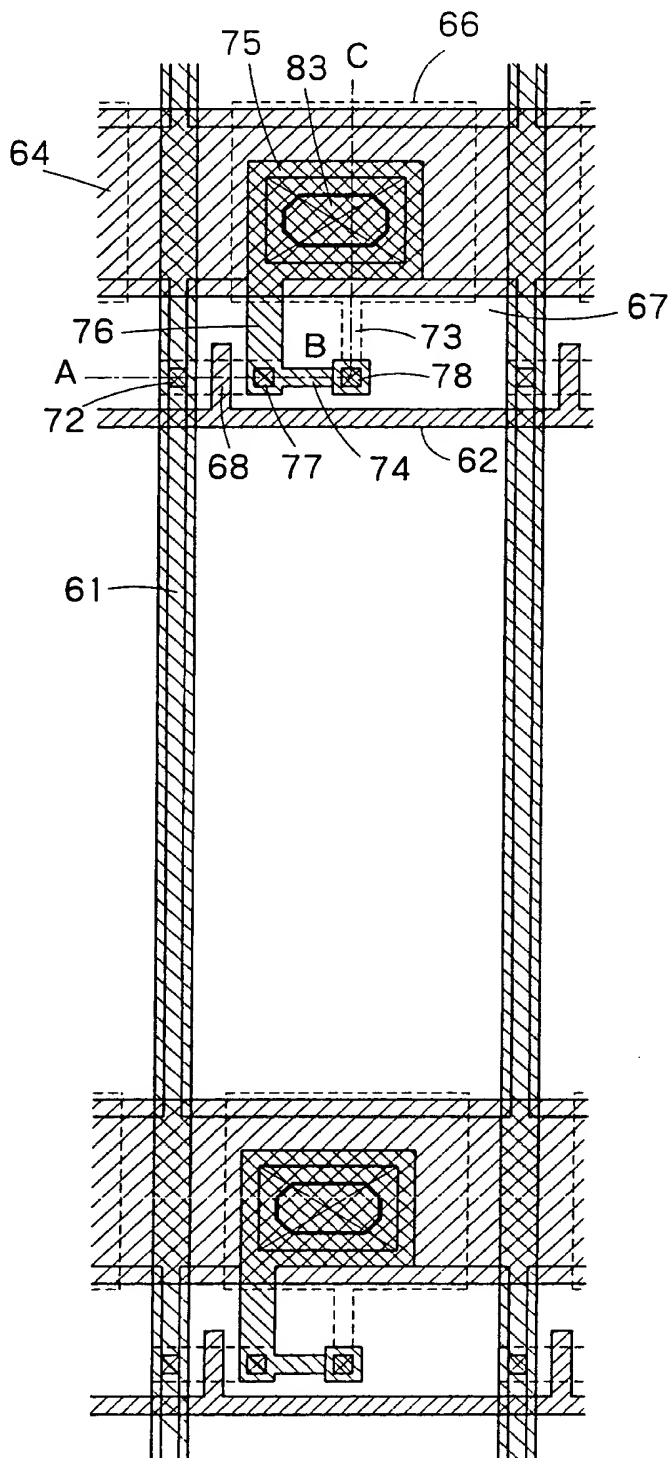


【図 9】

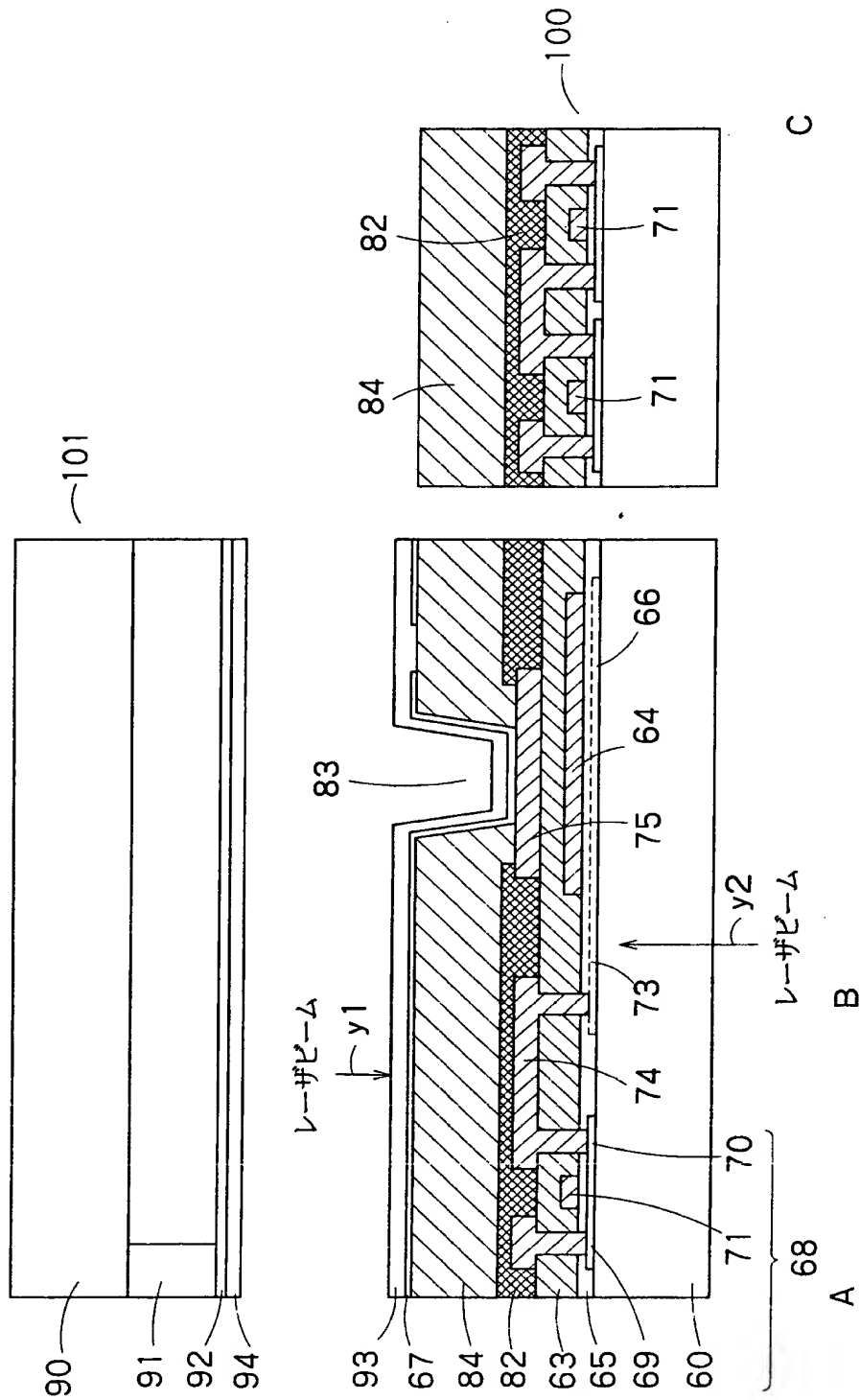


レーザーエネルギー強度の配線体積依存性

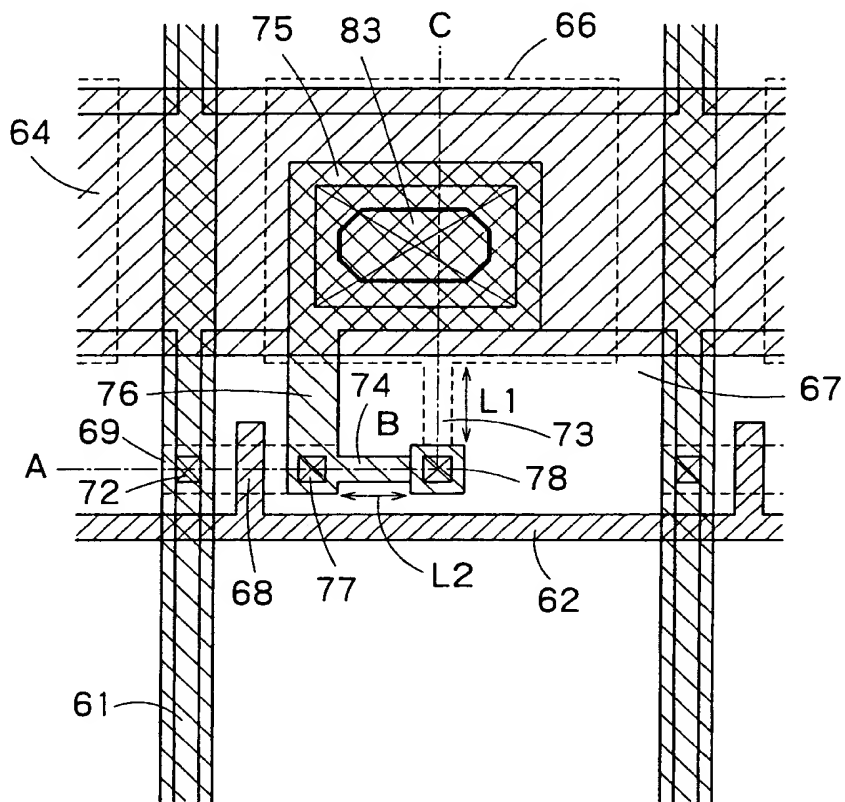
【図 1 0】



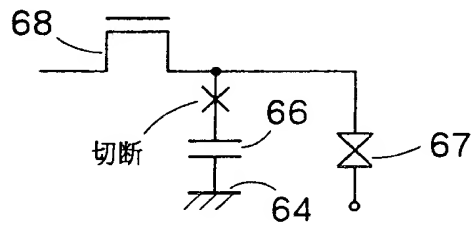
【図11】



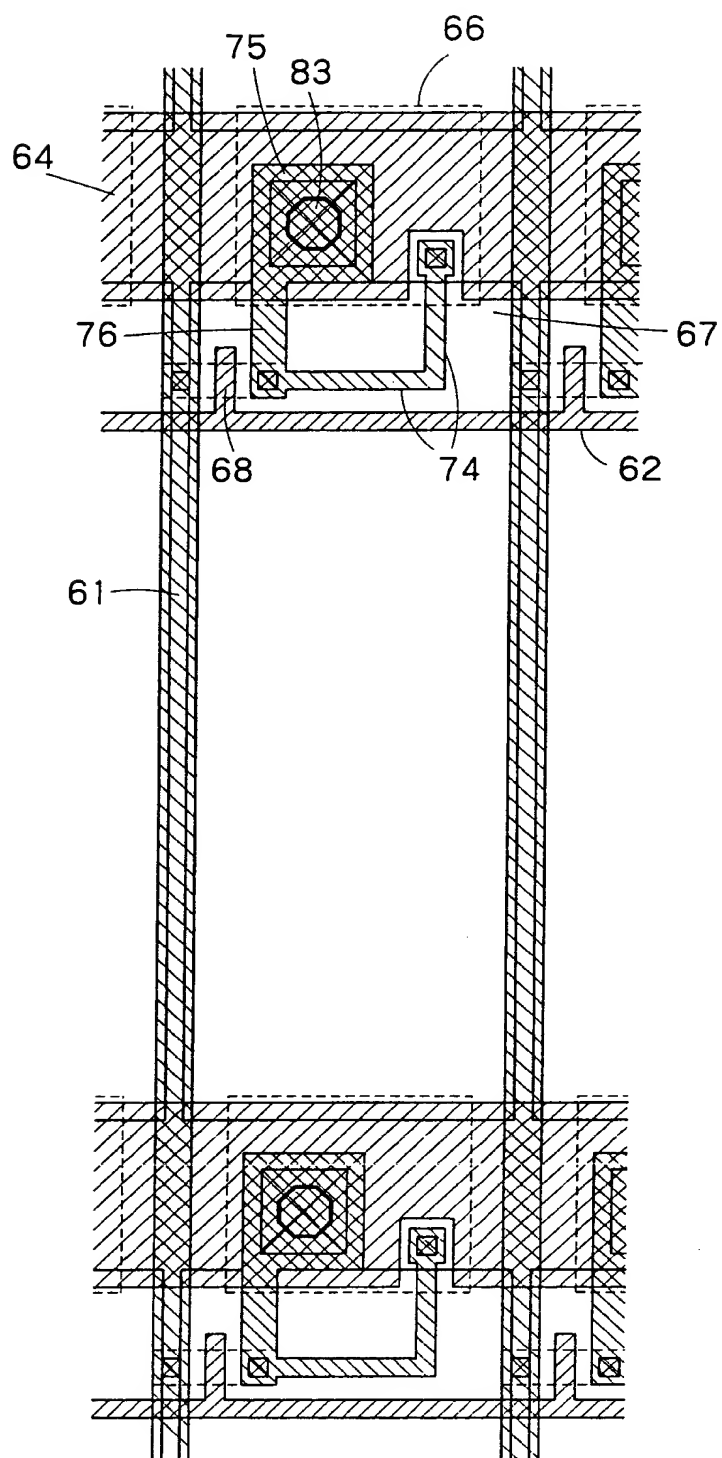
【図 1 2】



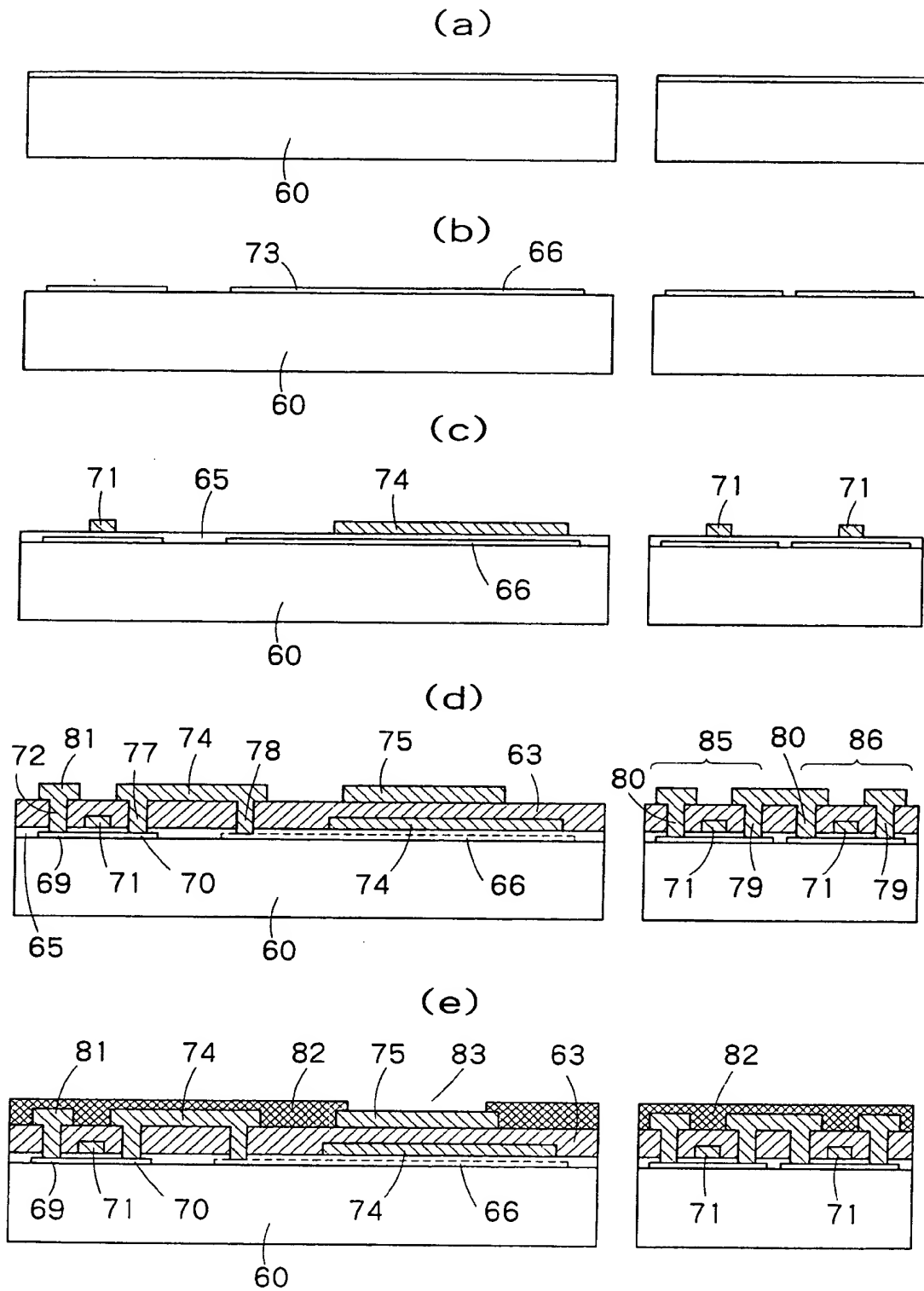
【図 1 3】



【図 1 4】



【図15】



【書類名】 要約書

【要約】

【課題】 本発明は、表示画素欠陥を起こしたスイッチング素子（T F T）を確実にリペアすることができる平面表示装置の製造方法を提供する。

【解決手段】 本発明の平面表示装置は、ガラス基板上に半導体層と補助容量電極とを同層に形成し、その上面にゲート絶縁膜を形成し、その上面にゲート電極と補助容量給電線とを同層に形成し、その上面に層間絶縁膜を形成し、その上面にソース電極とドレイン電極を形成する。補助容量電極と画素電極との間の配線部にレーザを照射して配線部の抵抗値を増加させるため、画素電極が補助容量給電線の電圧の影響を受けなくなり、表示画素欠陥の発生頻度を低減でき、製造歩留まりを向上できる。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日	1 9 9 0 年 8 月 2 2 日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町 7 2 番地
氏 名	株式会社東芝